

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

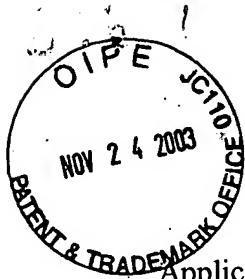
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT
Attorney Docket No.: SAM-0313CIP
Customer No.: 29344

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Kyoung-woo Lee, et al.

Examiner: not yet assigned

Serial No.: 10/625,007

Group Art Unit: not yet assigned

Filing Date: July 23, 2003

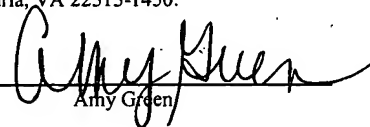
Title: METHOD OF FABRICATING DUAL DAMASCENE INTERCONNECTIONS OF
MICROELECTRONIC DEVICE USING HYBRID LOW K-DIELECTRIC AND
CARBON-FREE INORGANIC FILLER

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

11-21-03

Date


Amy Green

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL LETTER

Sir:


Enclosed herewith for filing in the above-identified patent application please find the following listed items:

1. Transmittal of Priority Documents;
2. Certified Copies of Priority Documents- Korean Application Nos. 03-0044852 & 02-0043477; and
3. Return Postcard.

In connection with the foregoing matter, please charge any additional fees which may be due, or credit any overpayment, to Deposit Account Number 50-1798. A duplicate copy of this letter is provided for this purpose.

Respectfully submitted,

Date: November 21, 2003
Mills & Onello, LLP
Eleven Beacon Street, Suite 605
Boston, MA 02108
Telephone: (617) 994-4900
Facsimile: (617) 742-7774
J:\SAM\0313CIP\transprioritydoc.wpd


Steven M. Mills
Registration Number 36,610
Attorney for Applicants



PATENT

Attorney Docket No.: SAM-0313CIP

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Kyoung-woo Lee, et al.

Examiner: not yet assigned

Serial No.: 10/625,007

Group Art Unit: not yet assigned

Filing Date: July 23, 2003

Title: METHOD OF FABRICATING DUAL DAMASCENE INTERCONNECTIONS OF MICROELECTRONIC DEVICE USING HYBRID LOW K-DIELECTRIC AND CARBON-FREE INORGANIC FILLER

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

11-21-03

Date

Amy Green
Amy Green

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENTS

Sir:

Transmittal herewith for filing in the captioned application are the certified copies of the Korean Priority documents, Korean patent application numbers 02-0043477 and 03-0044852.

Respectfully submitted,

Date: November 21, 2003

Mills & Onello, LLP

Eleven Beacon Street, Suite 605

Boston, MA 02108

Telephone: (617) 994-4900

Facsimile: (617) 742-7774

Steven M. Mills

Steven M. Mills

Registration Number 36,610

Attorney for Applicants



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0043477
Application Number

출원 년 월 일 : 2002년 07월 24일
Date of Application JUL 24, 2002

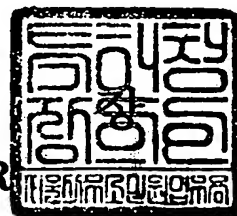
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.07.24
【발명의 명칭】	반도체 소자의 듀얼 다마신 배선 패턴 형성방법
【발명의 영문명칭】	method for forming dual damascene wiring pattern in semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2001-022241-9
【발명자】	
【성명의 국문표기】	김재학
【성명의 영문표기】	KIM, Jae Hak
【주민등록번호】	670507-1459912
【우편번호】	138-200
【주소】	서울특별시 송파구 문정동 62-5번지 현대아파트 101동 1207호
【국적】	KR
【발명자】	
【성명의 국문표기】	이수근
【성명의 영문표기】	LEE, Soo Geun
【주민등록번호】	670717-1929411
【우편번호】	442-707
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 117동 1602호
【국적】	KR
【발명자】	
【성명의 국문표기】	박완재
【성명의 영문표기】	PARK, Wan Jae

【주민등록번호】	690625-2026112
【우편번호】	442-724
【주소】	경기도 수원시 팔달구 영통동 롯데아파트 945동 313호
【국적】	KR
【발명자】	
【성명의 국문표기】	이경우
【성명의 영문표기】	LEE,Kyoung Woo
【주민등록번호】	730807-1804827
【우편번호】	150-778
【주소】	서울특별시 영등포구 신길4동 삼성아파트 102동 202호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	20 면 20,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	18 항 685,000 원
【합계】	734,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

반도체 소자의 듀얼 다마신 배선 패턴 형성방법이 개시된다. 본 발명에 따른 듀얼 다마신 배선 패턴 형성방법은, 전기적 연결층이 형성된 기판의 상부에 식각 방지막 및 수소화된 옥시탄화규소 계열의 물질로 이루어진 층간 유전막을 형성하는 단계와; 상기 층간 유전막의 상부에 비반사 층을 형성하는 단계와; 상기 비반사 층 및 상기 층간 유전막의 일부를 상기 식각 방지막의 상부가 노출될 때 까지 식각하여 1차 개구를 형성한 후 저 유전물질로 이루어진 희생막을 상기 1차 개구의 내부 및 상기 비반사 층의 상부에 형성하는 단계와; 상기 희생막을 플라즈마 처리한 후 평탄화하고 상기 희생막의 상부에 상기 1차 개구의 사이즈 보다 더 큰 사이즈를 갖는 트렌치 포토레지스트 패턴을 형성하는 단계와; 상기 트렌치 포토레지스트 패턴을 식각 마스크로 상기 희생막 및 비반사 층과 층간 유전막을 차례로 식각하여 상기 1차 개구의 일부를 확장한 2차 개구를 트렌치 타입으로 형성하고 상기 트렌치 포토레지스트 패턴을 제거하는 단계와; 잔류하는 희생막을 제거하고 노출된 식각 방지막 및 비반사 층을 제거한 후 상기 1,2차 개구들 내에 상기 전기적 연결층과 전기적으로 접촉될 금속을 채우는 단계를 구비함을 특징으로 한다.

【대표도】

도 7b

【색인어】

반도체 소자 제조, 듀얼 다마신, 저 유전물질, 희생막, 에치백

【명세서】

【발명의 명칭】

반도체 소자의 듀얼 다마신 배선 패턴 형성방법{method for forming dual damascene wiring pattern in semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래기술에 따른 듀얼 다마신 공정의 흐름을 보인 단면도들

도 2a 내지 도 2f는 또 다른 종래기술에 따른 듀얼 다마신 공정의 흐름을 보인 단면도들

도 3a 내지 도 3f는 본 발명에 따라 희생막을 이용한 이상적(ideal)듀얼 다마신 공정의 흐름을 보인 단면도들

도 4a 및 도 4b는 본 발명에 적용된 희생막의 현상액 용해 특성을 설명하기 위해 제시된 전자현미경 사진들

도 5a 내지 도 5e는 본 발명의 제1실시 예에 따른 듀얼 다마신 공정의 흐름을 보인 단면도들

도 6a 내지 도 6c는 본 발명의 제2실시 예에 따른 듀얼 다마신 공정의 흐름을 보인 단면도들

도 7a 및 도 7b는 본 발명의 제3실시 예에 따른 듀얼 다마신 공정의 흐름을 보인 단면도들

도 8a 및 도 8c는 본 발명에 따른 듀얼 다마신 공정에서 잔류 희생막 제거를 설명하기 위해 제시된 단면도들

도 9a 내지 도 9c는 본 발명의 제1,2,3 실시 예들에 따른 트렌치 패터닝 결과를 평면적으로 각기 보인 전자현미경 사진들

도 10은 본 발명에 사용된 잔류 희생막을 습식 식각법으로 제거시 생성되는 문제들을 설명하기 위해 제시된 전자현미경 사진

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 반도체 소자 제조에 관한 것으로, 특히 듀얼 다마신 배선 패턴 형성방법에 관한 것이다.

<12> 본 분야에서 딥 서브 마이크론(deep sub-micron) 이하의 크기를 갖는 집적회로 소자에서 듀얼 다마신 기술(dual damascene technique)을 이용한 배선 구조가 널리 알려져 있다. 듀얼 다마신 기술 중에서 널리 사용되고 있는 비아 일차(via first) 듀얼 다마신 공정의 흐름을 보인 단면도들은 도 1a 내지 도 1e에 도시되어 있다.

<13> 도면들 중 비아 포토(photo)공정을 나타내는 도 1a를 참조하면, 반도체 소자들이 형성된 기판(10)의 일부에 전기적 연결층인 구리 층(20)이 형성되고, 상기 기판(10)의 상부 및 구리층(20)의 상부에는 식각 방지막(30) 및 수소화된 옥시탄화규

소(SiOC:H)계열의 층간 유전막(IMD:)이 형성된 것이 보여진다. 상기 층간 유전막(40)의 상부에 포토레지스트(감광막)를 도포하고 설정된 사이즈(D1)를 갖는 비아 홀을 형성하기 위한 포토공정을 실시하면 도 1a와 같은 포토레지스트 패턴(50)이 형성된다. 도 1b는 상기 도 1a의 결과물에 건식식각을 행하여 1차 개구(opening)인 비아 홀(60)을 형성하는 비아 식각공정을 보여준다. 상기 비아 식각공정의 완료 후에 식각 마스크로서 사용되었던 잔류 포토레지스트(50)는 애싱공정으로 제거된다. 도 1c는 상기 도 1b에서 형성된 비아 홀(60)보다 더 큰 사이즈(D2)를 가지는 2차 개구를 형성하기 위한 트렌치 포토공정을 보여준다. 도 1d는 트렌치 포토공정의 수행 후에 행하는 트렌치 식각공정을 보여준다. 결과로서 2 종류의 사이즈를 갖는 개구들(60,80)이 일체로 형성된다. 도 1d의 수행 후에 도 1e와 같은 결과물을 만들기 위한 애싱공정이 수행된다.

<14> 상기한 바와 같은 통상적인 듀얼 다마신 공정은 비아 홀의 식각 후에 수행되는 도 1c의 트렌치 포토(trench photo)공정에서 미스 얼라인(mis-align)이 발생하더라도 1차 개구(opening)인 비아 사이즈가 그대로 유지되어지는 장점을 갖는다. 그러나 수소화된 옥시탄화규소(SiOC:H)계열의 물질을 층간 유전막(IMD)으로 사용하는 경우에 하부에 형성된 식각 방지막(또는 에치 스톱퍼)이 비아 식각공정에서 심하게 손상된다. 식각 방지막(30)이 심하게 손상되는 주된 이유는 상기 층간 유전막(40)과 상기 식각 방지막(30)간의 식각 선택비가 비교적 낮기 때문이다. 질화실리콘(SiN)막 또는 탄화실리콘(SiC)막 등으로 이루어진 식각 방지막(30)이 과도하게 식각될 경우에 하부의 전기적 연결층인 구리층(20)이 식각 손상을 입게 된다.

또한, 비아 식각공정 후에 진행되는 트렌치 포토 공정에서 비아 홀 내부의 포토레지스트를 완전히 제거하지 못할 경우에 비아 홀 내에 잔류하는 포토레지스트로 인하여 트렌치 식각 공정 후에 펜스(fence)가 형성되는 경우가 빈번하다. 상기한 식각 손상 및 펜스의 형성은 수율 및 소자의 신뢰성에 악영향을 주는 요인으로 작용한다. 한편, 비아 에치 후에 수행되는 트렌치 포토레지스트 코팅공정에서 비아 밀도(density)에 따라 코팅 두께가 국부적으로 달라지는 현상이 발생된다. 그러한 경우에 포토 공정조건이 달라지므로 국부적으로 패턴 불량 발생할 수 있다.

<15> 상기한 문제를 해결하기 위해 최근에 개발된 종래의 공정으로서 도 2a 내지 도 2f에 보여지는 바와 같이 BARC(Bottom Anti-Reflection Coating)막(65)을 비아 홀(60)내에 부분적으로 채우거나 혹은 완전히 채운 후 에치 백하는 방법이 알려져 있다. 상기 도 2a 내지 도 2f는 도 2c를 제외하고는 상기 도 1a 내지 도 1e의 공정들과 거의 동일하다. 상기 도 2c에는 상기 하부 비반사 코팅막(65)이 형성된 구조가 도시된다. 상기 하부 비반사 코팅막(65)은 트렌치 식각시 에치 스톱퍼인 식각 방지막(30)을 보호하기 위해 적용된 것이다. 그러나 도 2a 내지 도 2f에 도시된 종래의 방법은 비아 홀의 내부에 채워진 상기 BARC막((65)의 높이에 따라 후속의 트렌치 포토 패터닝 공정에서 포토 마진을 매우 작게 하는 또 다른 문제를 유발한다. 만약 포토 마진을 개선하기 위해서 상기 BARC막(65)의 높이를 높게 할 경우에 트렌치 식각 공정 후에 펜스가 발생되어 버리는 문제점이 있어 왔다.

【발명이 이루고자 하는 기술적 과제】

- <16> 따라서, 본 발명의 목적은 상기한 종래의 문제점을 해소할 수 있는 개선된 반도체 소자 배선행성 방법을 제공함에 있다.
- <17> 본 발명의 다른 목적은 개선된 듀얼 다마신 배선 패턴 형성방법을 제공함에 있다.
- <18> 본 발명의 또 다른 목적은 낮은 유전상수를 가지며 수소화된 옥시탄화규소 계열의 물질을 층간 유전막으로 사용하여 듀얼 다마신 배선 패턴을 형성할 경우에 식각 방지층의 손상을 방지 또는 최소화 할 수 있는 방법을 제공함에 있다.
- <19> 본 발명의 또 다른 목적은 저 유전물질로 이루어진 희생막을 사용하여 포토공정을 원활히 행할 수 있는 듀얼 다마신 배선 패턴 형성방법을 제공함에 있다.
- <20> 본 발명의 또 다른 목적은 저 유전물질로 이루어진 희생막을 사용하여 듀얼 다마신 배선 패턴 형성할 경우에 트렌치 식각 후에 잔류하는 희생막을 효과적으로 제거할 수 있는 방법을 제공함에 있다.
- <21> 상기한 목적들을 달성하기 위한 본 발명의 일양상(an aspect)에 따라, 듀얼 다마신 배선 패턴 형성방법은, 전기적 연결층이 형성된 기판의 상부에 식각 방지막 및 수소화된 옥시탄화규소 계열의 물질로 이루어진 층간 유전막을 형성하는 단계와; 상기 층간 유전막의 상부에 비반사 층을 형성하는 단계와; 상기 비반사 층 및 상기 층간 유전막의 일부를 상기 식각 방지막의 상부가 노출될 때 까지 식각하여 1차 개구를 형성한 후 저 유전물질로 이루어진 희생막을 상기 1차 개구의 내부 및 상기 비반사 층의 상부에 형성하는 단계와; 상기 희생막을 플라즈마 처리한 후 상기 희생막의 상부에 상기 1차 개구의 사이즈 보다 더 큰 사이즈를 갖는 트렌치 포토레지스트 패턴을 형성하는 단계와; 상기

트렌치 포토레지스트 패턴을 식각 마스크로 상기 희생막 및 비반사 층과 층간 유전막을 차례로 식각하여 상기 1차 개구의 일부를 확장한 2차 개구를 트렌치 타입으로 형성하고 상기 트렌치 포토레지스트 패턴을 제거하는 단계와; 잔류하는 희생막을 제거하고 노출된 식각 방지막 및 비반사 층을 제거한 후 상기 1,2차 개구들 내에 상기 전기적 연결층과 전기적으로 접촉될 금속을 채우는 단계를 구비함을 특징으로 한다.

<22> 본 발명의 다른 양상에 따라, 전기적 연결층이 형성된 기판의 상부에 식각 방지막 및 수소화된 옥시탄화규소 계열의 물질로 이루어진 층간 유전막을 형성하는 단계와; 상기 층간 유전막의 상부에 비반사 층을 형성하는 단계와; 상기 비반사 층 및 상기 층간 유전막의 일부를 상기 식각 방지막의 상부가 노출될 때 까지 식각하여 1차 개구를 형성한 후 저 유전물질로 이루어진 희생막을 상기 1차 개구의 내부 및 상기 비반사 층의 상부에 형성하는 단계와; 상기 희생막의 상부에 캡핑박막을 형성하고 상기 캡핑박막의 상부에 상기 1차 개구의 사이즈 보다 더 큰 사이즈를 갖는 트렌치 포토레지스트 패턴을 형성하는 단계와; 상기 트렌치 포토레지스트 패턴을 마스크로 상기 캡핑박막, 희생막, 비반사 층, 및 층간 유전막을 차례로 식각하여 상기 1차 개구의 일부를 확장한 2차 개구를 트렌치 타입으로 형성하고 상기 트렌치 포토레지스트 패턴을 제거하는 단계와; 상기 캡핑박막 및 잔류하는 희생막을 제거하고 노출된 식각 방지막 및 비반사 층을 제거한 후 상기 1,2차 개구들 내에 상기 전기적 연결층과 전기적으로 접촉될 금속을 채우는 단계를 구비함을 특징으로 한다.

<23> 바람직하기로, 상기 희생막을 제거하는 공정은 건식 에치백에 의해 수행할 수 있다. 상기 전기적 연결층은 구리로 이루어질 수 있으며, 상기 저 유전물질로 이루어진 희생막은 하이드로젠 실세스키옥산, 메틸 실세스키옥산, 또는 벤조사이클로 부텐중의 하나일

수 있다. 또한, 상기 희생막을 플라즈마 처리하는 공정은 산소, 질소, 암모니아, 헬륨, 수소 중의 선택된 하나 또는 둘 이상을 혼합한 것을 플라즈마 소오스 가스로서 사용할 수 있다. 상기 식각 방지막은 탄화실리콘 막 또는 질화실리콘 막일 수 있으며, 상기 비반사 층은 탄화실리콘 막 또는 실리콘 옥시나이트라이드 막일 수 있다.

【발명의 구성 및 작용】

<24> 이하에서는 본 발명의 실시 예에 따른 듀얼 다마신 배선 패턴 형성방법에 대한 바람직한 실시 예들이 첨부된 도면들을 참조하여 설명된다. 비록 다른 도면에 표시되어 있더라도 동일내지 유사한 기능을 수행하는 막들은 동일한 참조부호로서 나타나 있다. 본 실시예의 설명에서 제1층의 상부에 제2층이 형성되어 있다는 의미는 제1층의 상부에 직접적으로 제2층이 형성됨은 물론, 제1층의 상부에 어떤 물질층을 개재하여 제2층이 위치되어 있다는 것 까지도 포함함을 주목(note)하라.

<25> 도 3a 내지 도 3f는 본 발명에 따라 희생막을 이용한 이상적(ideal)듀얼 다마신 공정의 흐름을 보인 단면도들이다. 도 3a를 참조하면, 전기적 연결층(20)이 형성된 기판(10)의 상부에 비아 에치 스톱퍼인 식각 방지막(30), 수소화된 옥시탄화규소 계열의 물질로 이루어진 층간 유전막(40), 트렌치 에치 스톱퍼인 식각 방지막(42), 및 수소화된 옥시탄화규소 계열의 물질로 이루어진 층간 유전막(44)이 차례로 형성된 것이 보여진다. 상기 층간 유전막(44)의 상부에 캡핑층(46)을 형성한 후 비아 홀로서 기능하는 1차 개구(60)를 형성하면 도 3a의 단면구조가 완성된다.

- <26> 도 3b를 참조하면, 도 3a의 결과물에 저 유전물질로 이루어진 희생막(48)이 형성된 것이 보여진다. 상기 희생막(48)은 예컨대 하이드로겐 실세스키옥산(HSQ)을 전면적으로 스피닝코팅 기법으로 도포하는 것에 의해 형성될 수 있다.
- <27> 상기 희생막(48)을 형성한 후 트렌치 포토레지스트 패턴(70)을 형성하면 도 3c와 같은 단면구조가 얻어진다. 도 3d는 상기 도 3c의 트렌치 포토레지스트 패턴(70)을 식각 마스크로 사용하여 건식식각을 행하고 상기 패턴(70)을 애싱(ashing)한 후의 결과를 보여준다. 도 3d에서 보여지는 바로서, 2차 개구(80)가 1차 개구(60)에 확장적으로 형성되고, 상기 2차 개구(80)의 형성시 상기 1차 개구(60)의 내부에 보여지는 상기 희생막(48)이 종래의 BARC막(65)의 기능과 동일한 작용을 하는 에치스토퍼 보호막(75)으로 된다. 이때 상기 희생막(48)이 식각되는 속도가 상기 층간 유전막(44)의 식각 속도보다 조금 빠르게 식각조건을 맞추면 펜스의 형성이 방지된다.
- <28> 도 3e는 전면에 잔류되어 있는 희생막(48) 및 비아 내부에 남아있는 잔류 희생막(75)을 불산(HF)으로 스트립(strip)한 결과를 보여주고, 도 3f는 상기 1,2차 개구들(60,80)에 노출된 식각 방지막들(42,30)을 식각한 결과를 보여준다.
- <29> 상기한 바와 같은 방법은 평탄한 희생막(48)의 상부에 트렌치 포토공정을 진행하므로 트렌치 포토공정의 마진이 매우 양호하고, 비아 홀의 내부에 포토레지스트가 잔류하던 종래의 문제가 완전히 해소된다. 또한, HSQ가 IMD와 동일한 무기화합물이기 때문에 트렌치 식각 시에 HSQ의 식각율을 SiOC:H 의 식각율보다 조금 빠르도록 조절하면 펜스가 생성될 가능성도 희박하다. 상기 HSQ는 수소를 다량으로 함유하는 실리콘 산화막으로서, 유전율이 약 2.9이다.

- <30> 그러나, 상기 도 3a 내지 도 3f는 본 발명에 따라 희생막을 이용한 이상적(ideal) 듀얼 다마신 공정의 흐름일 뿐, 실질적인 제조공정의 구현은 다음과 같은 이유 때문에 변경될 필요성이 있다.
- <31> 먼저, 첫 번째 이유는 HSQ상부에 트렌치 패터닝을 직접적으로 행하기 어렵다는 것이다. 도 4a에서 보여지는 HSQ 막을 포토레지스트 현상액에 5분동안 디핑(dipping)하면 도 4b와 같이 막의 표면이 굴곡진 프로파일로서 나타난다. 이는 HSQ 막이 PR 현상액에 용해되는 특성을 지니고 있는 것에서 기인한다. 따라서, HSQ 막의 상부에 직접적으로 포토레지스트 패터닝을 행하는 것은 어렵게 된다. 따라서, 그러한 사항을 극복하기 위해 본 발명의 제1,2,3 실시 예들이 도출된 것이며 이는 각기 후술될 것이다.
- <32> 두 번째 이유는 트렌치 식각 후 잔류하는 HSQ 막을 원활히 제거하기 어렵다는 것이다. 그러한 HSQ 막의 제거의 어려움은 도 10을 통해 이해될 수 있도록 설명될 것이고, HSQ막의 원활한 제거는 도 8a 및 도 8c를 통해 설명될 것이다.
- <33> 도 5a 내지 도 5e는 본 발명의 제1실시 예에 따른 듀얼 다마신 공정의 흐름을 보인 단면도들이다.
- <34> 도 5a를 참조하면, 전기적 연결층(20)이 형성된 기판(10)의 상부에 비아 에치 스톱퍼인 식각 방지막(30), 수소화된 옥시탄화규소 계열의 물질로 이루어진 층간 유전막(40), 트렌치 에치 스톱퍼인 식각 방지막(42), 및 수소화된 옥시탄화규소 계열의 물질로 이루어진 층간 유전막(44)이 차례로 형성된 것이 보여진다. 상기 층간 유전막(44)의 상부에 비반사 층(46)을 형성한 후 비아 홀로서 기능하는 1차 개구(60)를 형성하면 도 5a의 단면구조가 완성된다. 상기 비반사 층(46)은 포토공정에서 빛의 산란을 막기 위하여 ARL(Anti-Reflection Layer) 기능을 할 수 있는 캡핑 막질일 수 있으며 유기 ARC 일 수

있다. 여기서, 상기 비반사 층(46)의 재질은 실리콘 옥시나이트라이드(SiON)또는 탄화실리콘(SiC)이 될 수 있다.

<35> 도 5b를 참조하면, 도 5a의 결과물의 상부에 저 유전물질로 이루어진 희생막(48)이 형성된 것이 보여진다. 상기 희생막(48)은 예컨대 하이드로겐 실세스키옥산(HSQ), 또는 메틸 실세스키옥산 이나 벤조사이클로 부텐을 전면적으로 스펀코팅 기법으로 도포하는 것에 의해 형성될 수 있다.

<36> 도 5c를 참조하면, 상기 희생막(48)의 상부 표면에 O_2 , N_2 , NH_3 , He , H_2 등의 소오스 가스를 사용하여 플라즈마 처리(52)를 수행하는 것이 보여진다. 상기 플라즈마 처리에 의해 HSQ 막(48)의 구조는 덴시피케이션(densification)해진다. 따라서, 포토레지스트 현상액이 상기 희생막(48)으로 쉽게 어택(attack)되지 못하므로 후속의 공정에서 HSQ 막(48)의 상부에 포토레지스트 패터닝을 행하는 것이 가능하다.

<37> 도 5d는 상기 플라즈마 처리된 HSQ 막(48)의 상부에 트렌치 포토레지스트 패턴(70)을 형성한 것을 도시한다. 여기서, 상기 HSQ 막(48)의 평탄화는 상기 플라즈마 처리의 전후에 선택적으로 행해질 수 있음은 물론이다. 평탄화 공정은 화학적 기계적 폴리싱(CMP)공정을 통해 수행된다.

<38> 도 5e는 상기 도 5d의 트렌치 포토레지스트 패턴(70)을 식각 마스크로 사용하여 건식식각을 행하고 상기 패턴(70)을 애싱(ashing)한 후의 결과를 보여준다. 도면에서 보여지는 바로서, 2차 개구(80)가 1차 개구(60)에 연장되어 확장적으로 형성되고, 바람직하게는 상기 2차 개구(80)가 완전히 형성될 때 까지 상기 1차 개구(60)의 내부에 상기 희생막(48)의 일부가 남아 에치스톱퍼 보호막(75)으로 기능함을 알 수 있다.

- <39> 상기한 제1 실시예에서는 HSQ 막의 표면에 플라즈마 처리를 한 후 트렌치 포토레지스트 패턴을 직접적으로 형성하는 방법이 설명되었다.
- <40> 상기 도 5e의 후속 공정은 도 8a 내지 도 8c를 통해 후술될 것이다.
- <41> 도 6a 내지 도 6c는 본 발명의 제2실시 예에 따른 듀얼 다마신 공정의 흐름을 보인 단면도들이다.
- <42> 도 6a를 참조하면, 도 5b의 결과물 상에 캡핑박막(49)을 형성한 것이 보여진다. 상기 캡핑박막(49)은 수십 옹그스트롱 정도의 두께를 가지는 얇은 산화막으로 형성될 수 있다. 도 6b는 상기 캡핑박막(49)의 상부에 트렌치 포토레지스트 패턴(70)을 형성한 것을 도시한다.
- <43> 도 6c는 상기 도 6b의 트렌치 포토레지스트 패턴(70)을 식각 마스크로 사용하여 건식식각을 행하고 상기 패턴(70)을 애싱한 다음, 상기 캡핑박막(49)을 에치백으로 제거한 후의 결과를 보여준다.
- <44> 상기한 제2 실시예에서는 HSQ 막의 상부에 캡핑 박막을 형성한 후 트렌치 포토레지스트 패턴을 형성하는 방법이 설명되었다.
- <45> 마찬가지로, 상기 도 6c의 후속 공정도 도 8a 내지 도 8c를 통해 후술될 것이다.
- <46> 도 7a 및 도 7b는 본 발명의 제3실시 예에 따른 듀얼 다마신 공정의 흐름을 보인 단면도들이다. 도 7a를 참조하면, 도 5b의 결과물 상에 비반사 코팅막(51)을 형성한 것이 보여진다. 상기 비반사 코팅막(51)은 ARC로 사용할 수 있는 얇은 유기물(또는 무기물)로 되어 있으며, 듀얼 코팅에 의해 형성될 수 있다. 결국, 상기 비반사 코팅막

(51)은 포토레지스트 현상액에 대하여 반응성을 갖지 않으므로 HSQ막(48)의 상부에 직접적으로 형성된다.

<47> 도 7b는 트렌치 포토레지스트 패턴(70)이 상기 코팅막(51)의 상부에 형성된 것을 도시한다.

<48> 상기한 제3 실시예에서는 HSQ 막의 상부에 듀얼 코팅으로 비반사 코팅막(51)을 형성한 후 트렌치 포토레지스트 패턴을 형성하는 방법이 설명되었다.

<49> 마찬가지로, 상기 도 7b의 후속 공정도 도 8a 내지 도 8c를 통해 후술될 것이다.

<50> 도 8a 및 도 8c는 본 발명에 따른 듀얼 다마신 공정에서 잔류 희생막 제거를 설명하기 위해 제시된 단면도들이다.

<51> 트렌치 식각 및 애싱공정의 진행 후에 도 8a에서 보여지는 바와 같은 잔류 HSQ 막(48,75)를 제거하는 방법으로서 플루오르 계열의 용해제를 이용한 습식 식각이 일반적이다. 그러나, 이러한 습식식각을 이용하는 경우에는 도 10에서 보여지는 바와 같이 언더컷 및 프로파일 불량에 유발될 수 있다. 도 10은 본 발명에 사용된 잔류 희생막을 습식 식각법으로 제거시 생성되는 문제들을 설명하기 위해 제시된 전자현미경 사진이다. 상기 도 10의 사진은 막질간의 습식 식각을 차이에 기인하여 유발되는 인터페이스 어택을 보여준다. 도 10에서 측벽 및 하부의 형상은 직선적이지 않으며 패여져 있는 것이 보여진다.

<52> 따라서, 본 발명의 실시예에서는 건식 에치백으로 잔류하는 HSQ 막을 제거한다. 이 방법에서는 상기 막들(46,44,42,40,30)이 상기 HSQ 막에 대하여 건식식각 선택비가 우수하므로 식각 마스크로 이용된다. 상기 막들을 마스크로 사용하여 건식 에치백을 수행

하면 도 8b와 같은 결과물이 얻어진다. 도 8c는 트렌치 식각 방지막(42) 및 비아 식각 방지막(30)을 식각한 후의 결과를 도시한다. 따라서, 잔류 회생막인 HSQ 막을 본 발명의 실시 예에 따른 건식 에치백에 의해 제거하면 언더컷이나 프로파일의 불량 발생이 최소화된다.

<53> 도 9a 내지 도 9c는 본 발명의 제1,2,3 실시 예들에 따른 트렌치 패터닝 결과를 평면적으로 각기 보인 전자현미경 사진들로서 참고를 위해 제시되었다. 도 9a는 HSQ 막의 코팅 후에 플라즈마 처리를 행한 후의 평면을 보인 것이고, 도 9b는 HSQ 막의 상부의 얇은 산화막을 형성한 후의 평면을 보인 것이며, 도 9c는 HSQ와 ARC로 사용할 수 있는 더블 코팅을 실시 한 후 트렌치 패터닝을 행한 후의 평면을 보여준다.

<54> 상기한 설명에서는 본 발명의 실시 예를 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 막질의 두께 및 공정의 세부적인 조건들은 사안에 따라 다양하게 변화 또는 변경될 수 있을 것이다.

【발명의 효과】

<55> 상기한 바와 같이, 본 발명에 따르면 듀얼 다마신 배선 패턴을 형성할 경우에 식각 방지층의 손상을 방지 또는 최소화 하면서 포토공정을 원활히 행할 수 있는 효과가 있다. 또한, 저 유전물질로 이루어진 회생막을 사용하여 듀얼 다마신 배선 패턴 형성할 경우에 트렌치 식각 후에 잔류하는 회생막을 효과적으로 제거할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

전기적 연결층이 형성된 기판의 상부에 식각 방지막 및 수소화된 옥시탄화규소 계열의 물질로 이루어진 층간 유전막을 형성하는 단계와;

상기 층간 유전막의 상부에 비반사 층을 형성하는 단계와;

상기 비반사 층 및 상기 층간 유전막의 일부를 상기 식각 방지막의 상부가 노출될 때 까지 식각하여 1차 개구를 형성한 후 저 유전물질로 이루어진 희생막을 상기 1차 개구의 내부 및 상기 비반사 층의 상부에 형성하는 단계와;

상기 희생막을 플라즈마 처리한 후 상기 희생막의 상부에 상기 1차 개구의 사이즈 보다 더 큰 사이즈를 갖는 트렌치 포토레지스트 패턴을 형성하는 단계와;

상기 트렌치 포토레지스트 패턴을 식각 마스크로 상기 희생막 및 비반사 층과 층간 유전막을 차례로 식각하여 상기 1차 개구의 일부를 확장한 2차 개구를 트렌치 타입으로 형성하고 상기 트렌치 포토레지스트 패턴을 제거하는 단계와;

잔류하는 희생막을 제거하고 노출된 식각 방지막 및 비반사 층을 제거한 후 상기 1,2차 개구들 내에 상기 전기적 연결층과 전기적으로 접촉될 금속을 채우는 단계를 구비함을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 2】

제1항에 있어서, 상기 희생막을 제거하는 공정은 건식 에치백에 의해 수행함을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 3】

제1항에 있어서, 상기 전기적 연결층은 구리로 이루어짐을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 4】

제1항에 있어서, 상기 저 유전물질로 이루어진 희생막은 하이드로젠 실세스키옥산임을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 5】

제1항에 있어서, 상기 저 유전물질로 이루어진 희생막은 메틸 실세스키옥산임을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 6】

제1항에 있어서, 상기 저 유전물질로 이루어진 희생막은 벤조사이클로 부텐임을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 7】

제1항에 있어서, 상기 희생막을 플라즈마 처리하는 공정은 산소, 질소, 암모니아, 헬륨, 수소 중의 선택된 하나 또는 둘 이상의 혼합가스를 플라즈마 소오스 가스로서 사용함을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 8】

제1항에 있어서, 상기 식각 방지막은 탄화실리콘 막 또는 질화실리콘 막임을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 9】

제1항에 있어서, 상기 비반사 층은 탄화실리콘 막 또는 실리콘 옥시나이트라이드 막임을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 10】

전기적 연결층이 형성된 기판의 상부에 식각 방지막 및 수소화된 옥시탄화규소 계열의 물질로 이루어진 층간 유전막을 형성하는 단계와;

상기 층간 유전막의 상부에 비반사 층을 형성하는 단계와;

상기 비반사 층 및 상기 층간 유전막의 일부를 상기 식각 방지막의 상부가 노출될 때 까지 식각하여 1차 개구를 형성한 후 저 유전물질로 이루어진 희생막을 상기 1차 개구의 내부 및 상기 비반사 층의 상부에 형성하는 단계와;

상기 희생막의 상부에 캡핑박막을 형성하고 상기 캡핑박막의 상부에 상기 1차 개구의 사이즈 보다 더 큰 사이즈를 갖는 트렌치 포토레지스트 패턴을 형성하는 단계와;

상기 트렌치 포토레지스트 패턴을 마스크로 상기 캡핑박막, 희생막, 비반사 층, 및 층간 유전막을 차례로 식각하여 상기 1차 개구의 일부를 확장한 2차 개구를 트렌치 타입으로 형성하고 상기 트렌치 포토레지스트 패턴을 제거하는 단계와;

상기 캡핑박막 및 잔류하는 희생막을 제거하고 노출된 식각 방지막 및 비반사 층을 제거한 후 상기 1,2차 개구들 내에 상기 전기적 연결층과 전기적으로 접촉될 금속을 채우는 단계를 구비함을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 11】

제10항에 있어서, 상기 희생막을 제거하는 공정은 건식 또는 습식에치백에 의해 수행함을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 12】

제10항에 있어서, 상기 캡핑 박막은 산화막 또는 무기반사 방지막임을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 13】

제10항에 있어서, 상기 저 유전물질로 이루어진 희생막은 하이드로젠 실세스키옥사임을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 14】

전기적 연결층이 형성된 기판의 상부에 식각 방지막 및 수소화된 옥시탄화규소 계열의 물질로 이루어진 층간 유전막을 반복적으로 형성하는 단계와;

상기 층간 유전막의 상부에 비반사 층을 형성하는 단계와;

상기 비반사 층 및 상기 층간 유전막의 일부를 상기 식각 방지막의 상부가 노출될 때 까지 식각하여 1차 개구를 형성한 후 저 유전물질로 이루어진 희생막을 상기 1차 개구의 내부 및 상기 비반사 층의 상부에 형성하는 단계와;

상기 희생막의 상부에 비반사 코팅막을 형성한 다음 상부에 상기 1차 개구의 사이즈 보다 더 큰 사이즈를 갖는 트렌치 포토레지스트 패턴을 형성하는 단계와;

상기 트렌치 포토레지스트 패턴을 마스크로 상기 비반사 코팅막, 희생막, 비반사 층, 및 층간 유전막을 차례로 식각하여 상기 1차 개구의 일부를 확장한 2차 개구를 트렌치 타입으로 형성하고 상기 트렌치 포토레지스트 패턴을 제거하는 단계와;

상기 비반사 코팅 및 잔류하는 희생막을 제거하고 노출된 상기 식각 방지막 및 비반사 층을 제거한 후 상기 1,2차 개구들 내에 상기 전기적 연결층과 전기적으로 접촉될 금속을 채우는 단계를 구비함을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 15】

제14항에 있어서, 상기 희생막을 제거하는 공정은 건식 또는 습식 에치백에 의해 수행함을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 16】

제14항에 있어서, 상기 전기적 연결층은 구리로 이루어짐을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 17】

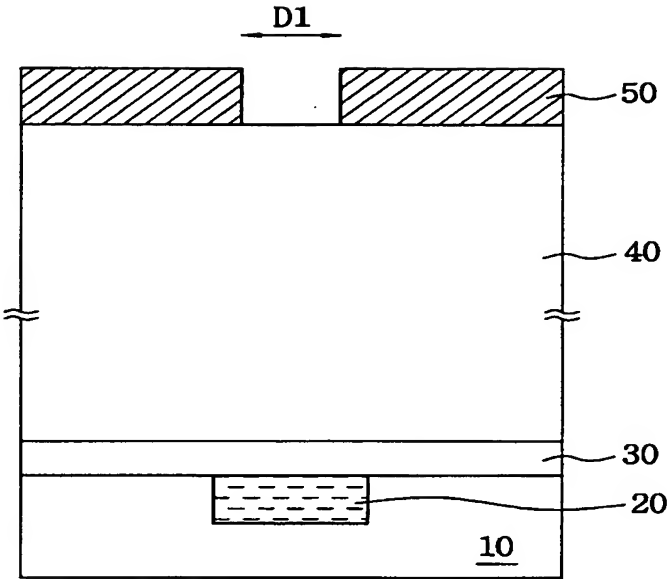
제14항에 있어서, 상기 저 유전물질로 이루어진 희생막은 하이드로겐 실세스키옥산임을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【청구항 18】

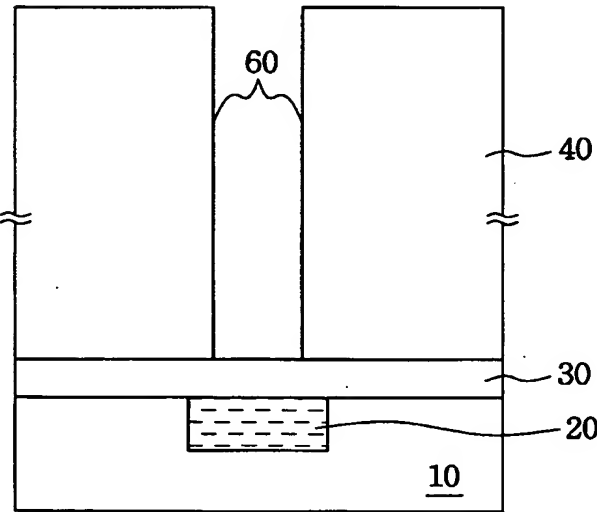
제14항에 있어서, 상기 비반사 코팅막은 유기 코팅 박막임을 특징으로 하는 듀얼 다마신 배선 패턴 형성방법.

【도면】

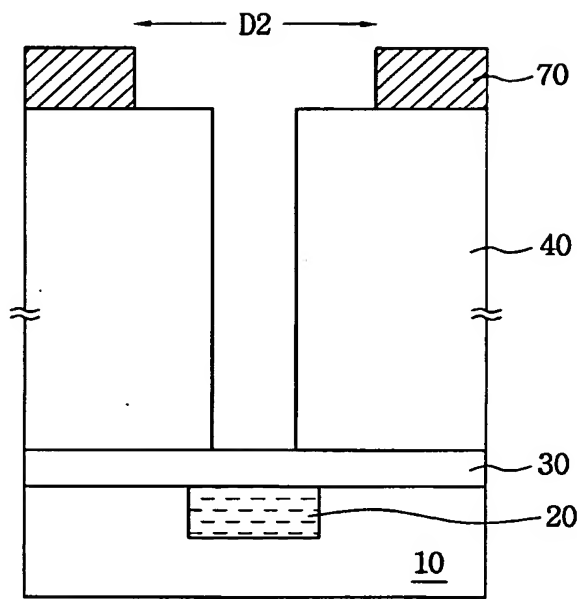
【도 1a】



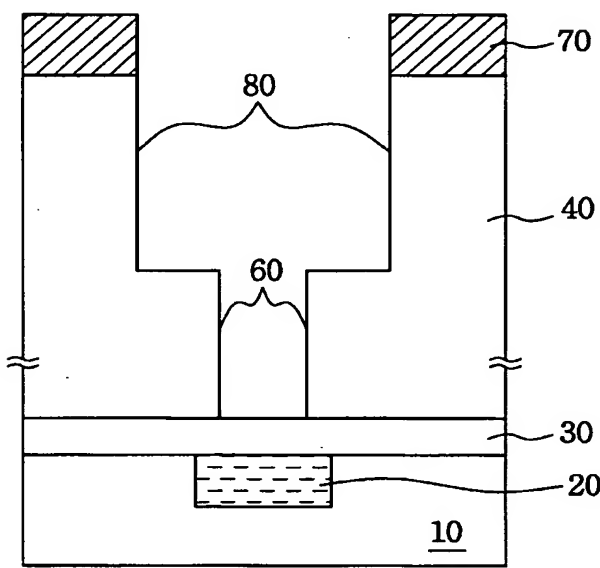
【도 1b】



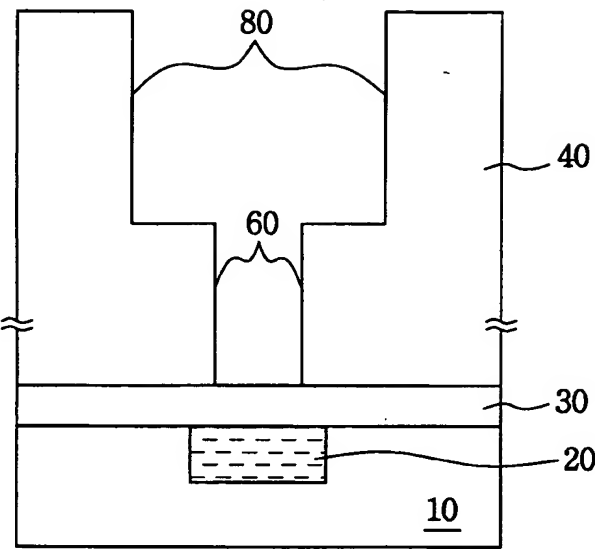
【도 1c】



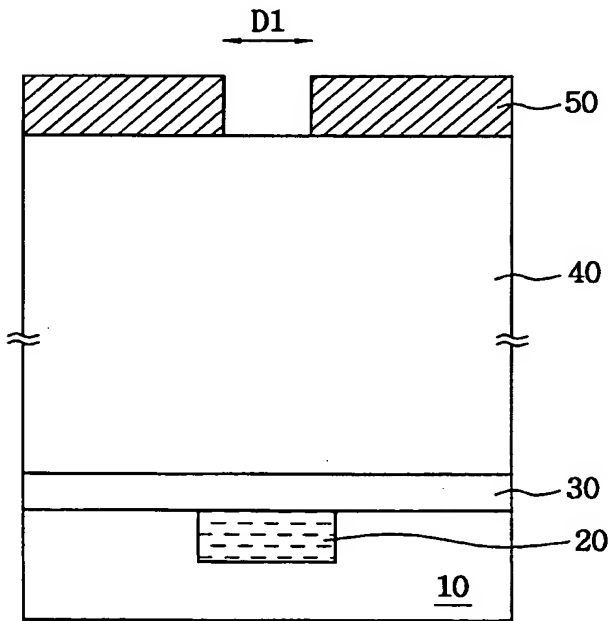
【도 1d】



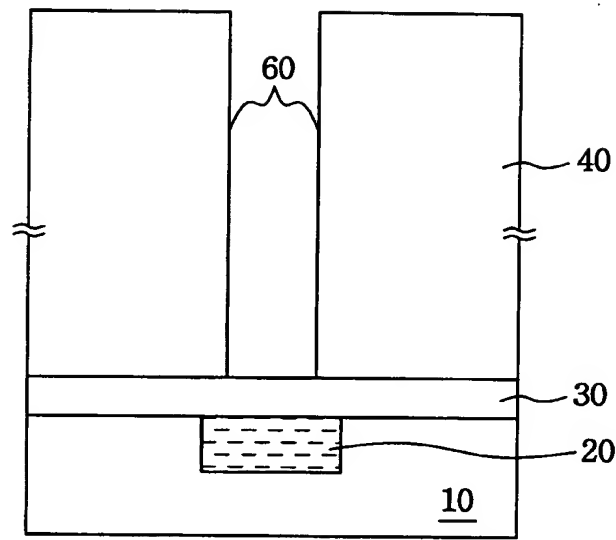
【도 1e】



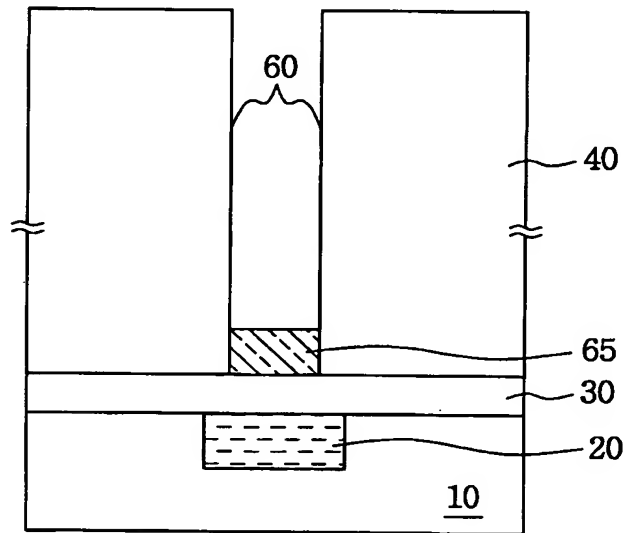
【도 2a】



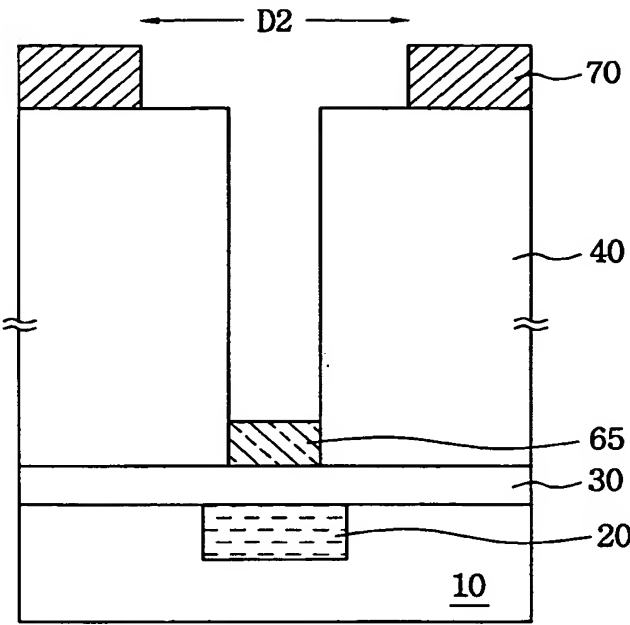
【도 2b】



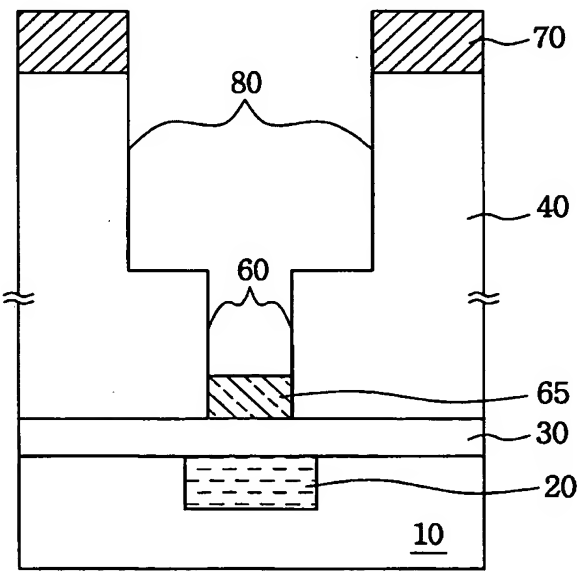
【도 2c】



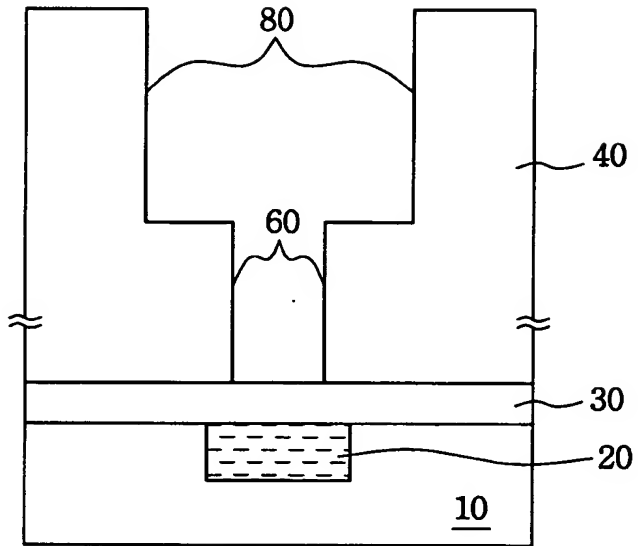
【도 2d】



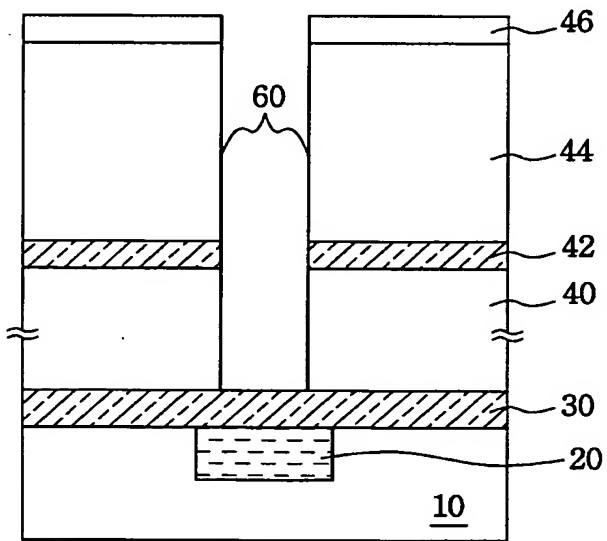
【도 2e】



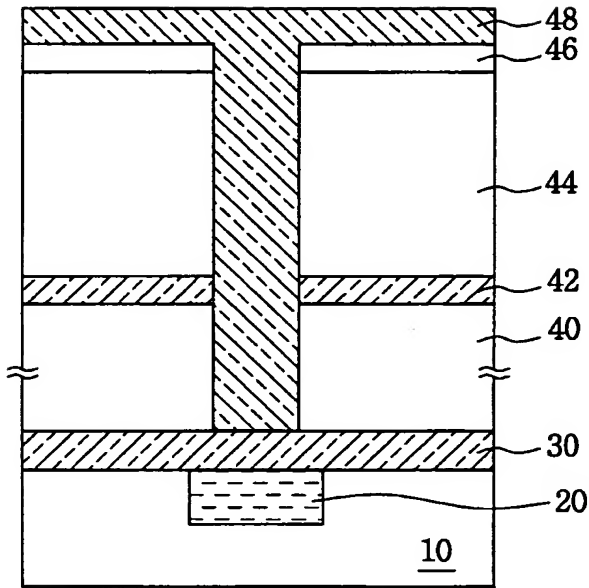
【도 2f】



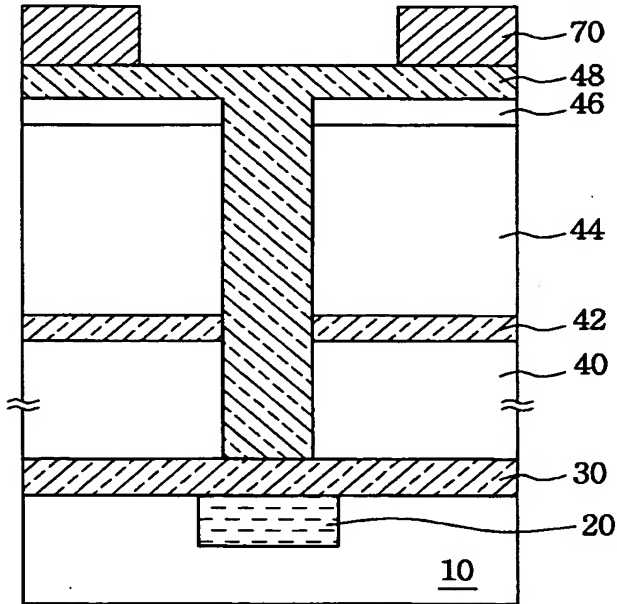
【도 3a】



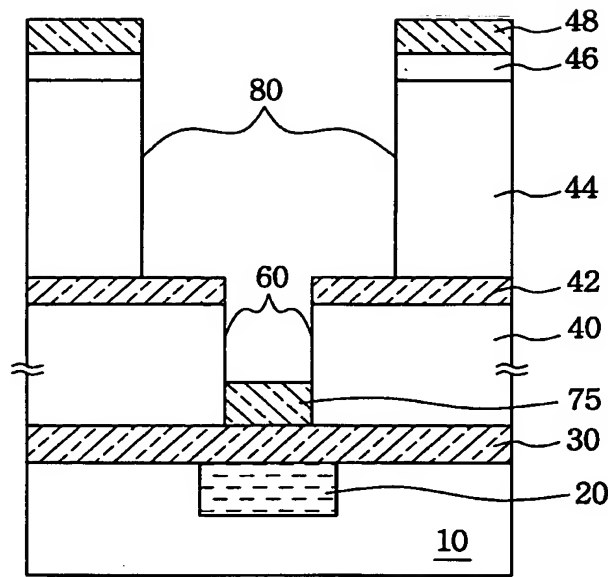
【도 3b】



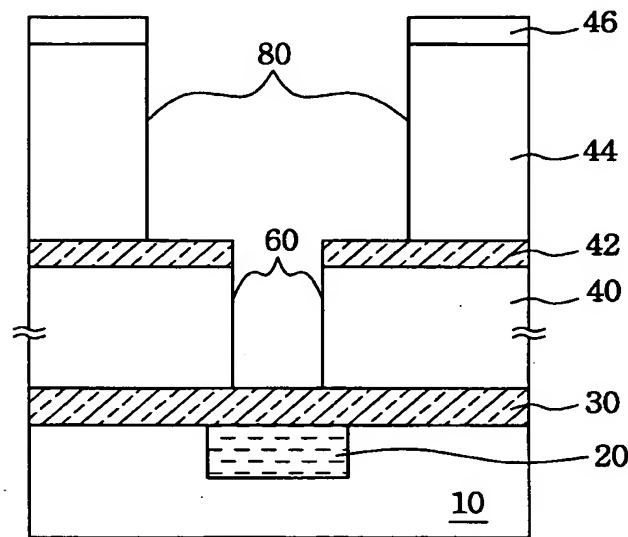
【도 3c】



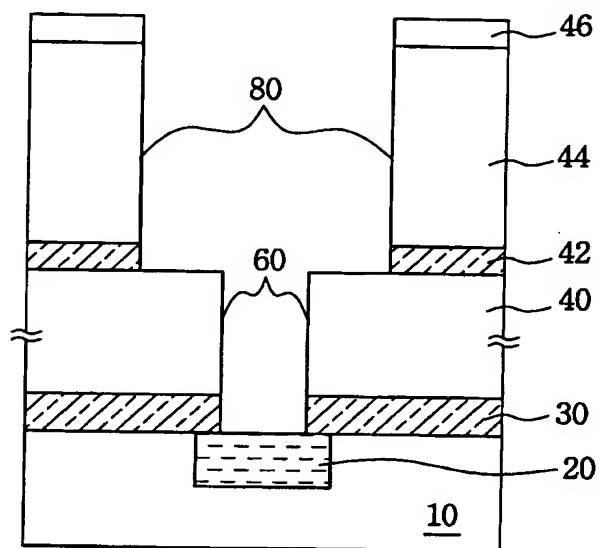
【도 3d】



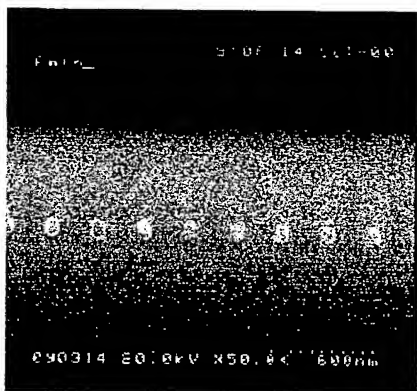
【도 3e】



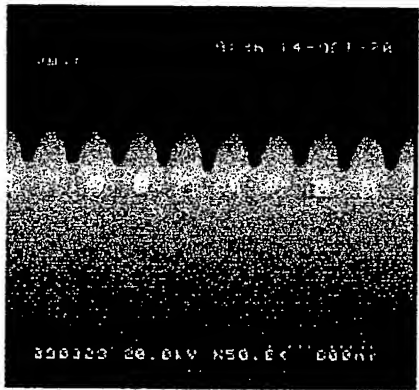
【도 3f】



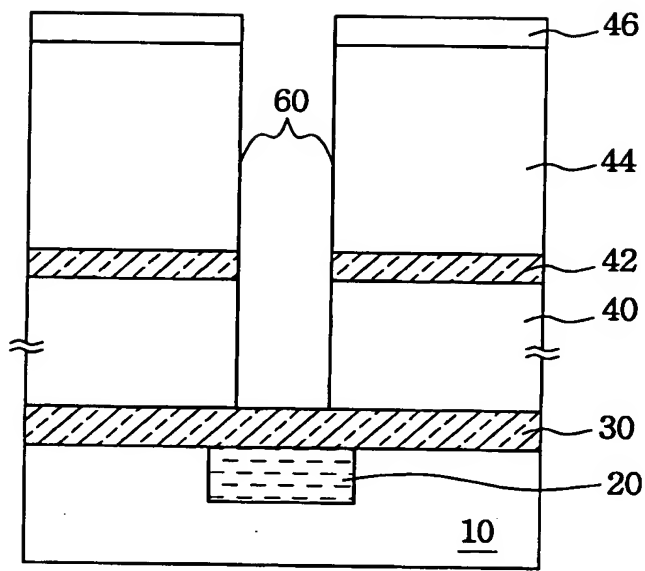
【도 4a】



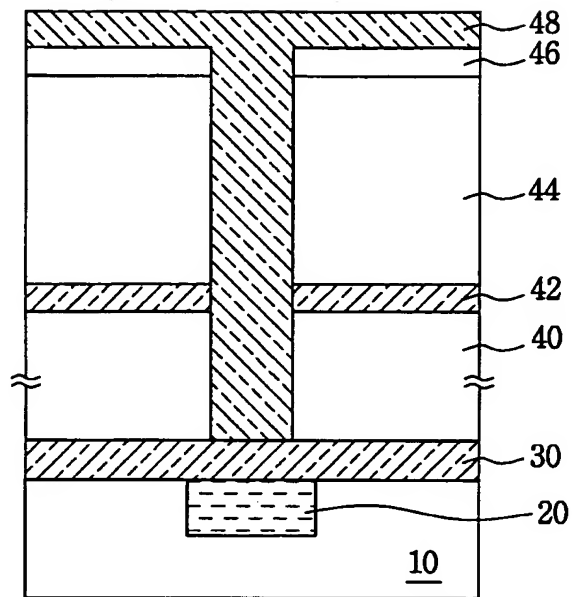
【도 4b】



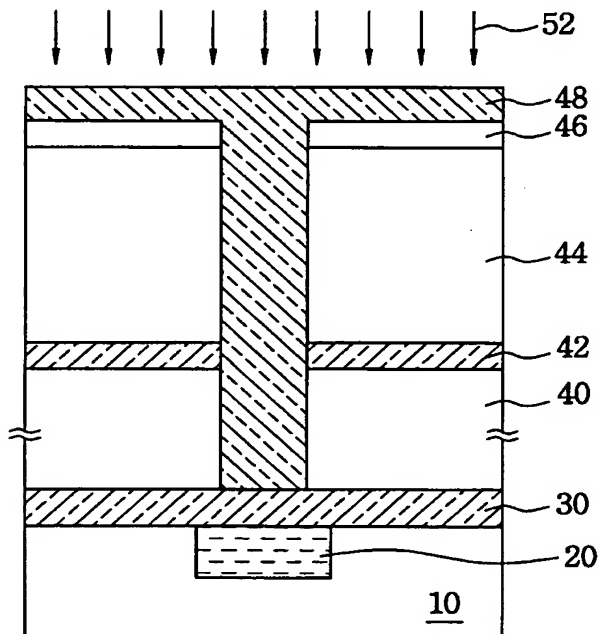
【도 5a】



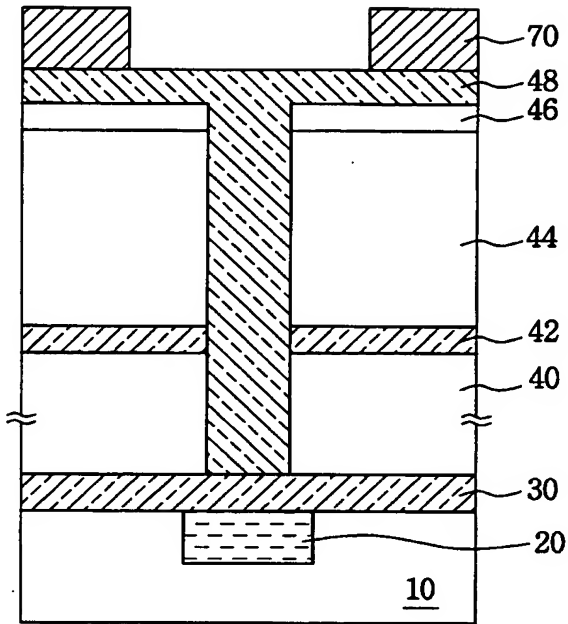
【도 5b】



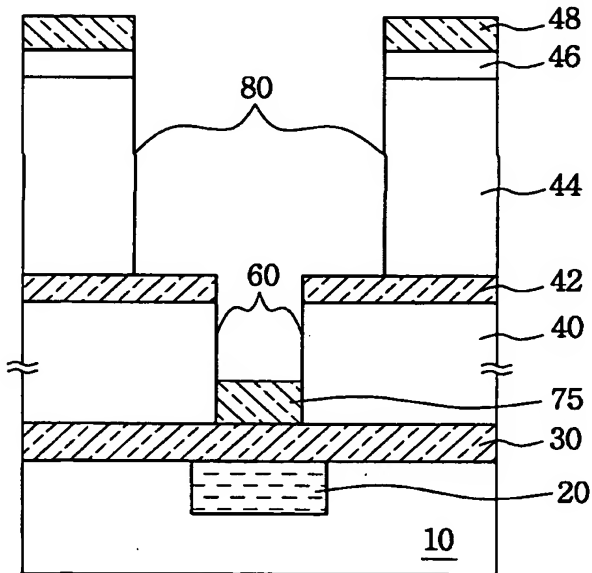
【도 5c】



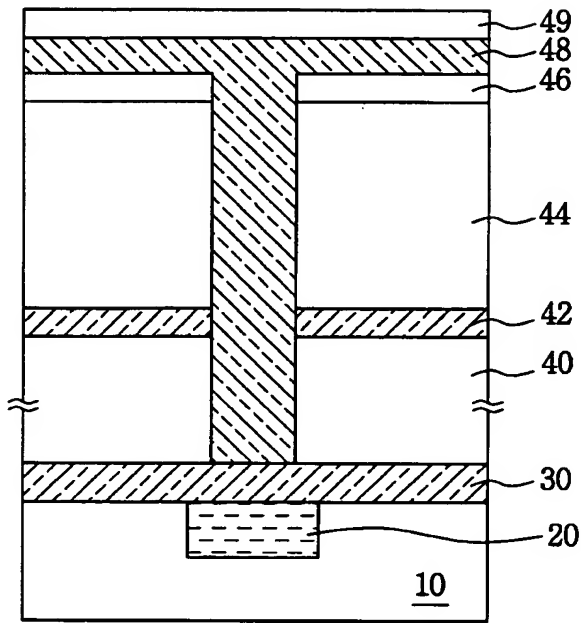
【도 5d】



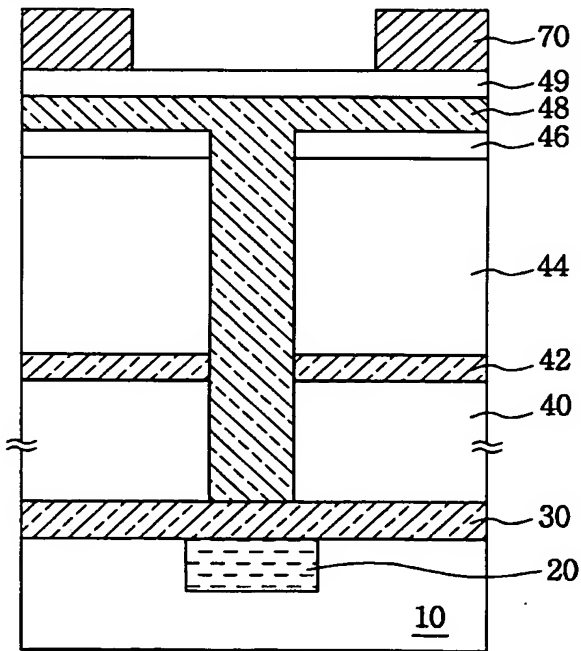
【도 5e】



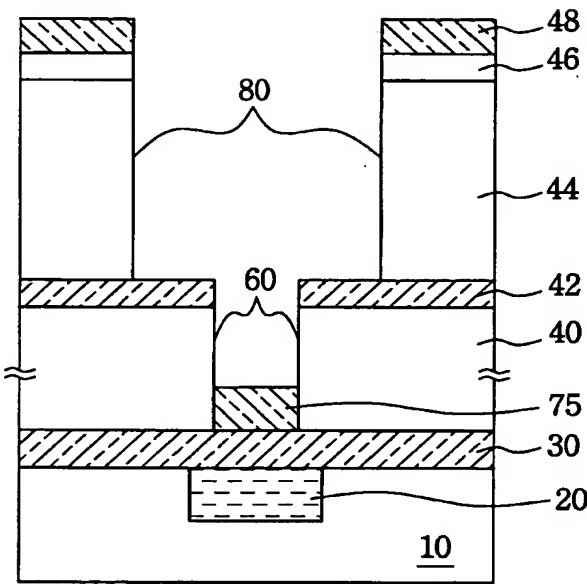
【도 6a】



【도 6b】



【도 6c】



【도 7a】

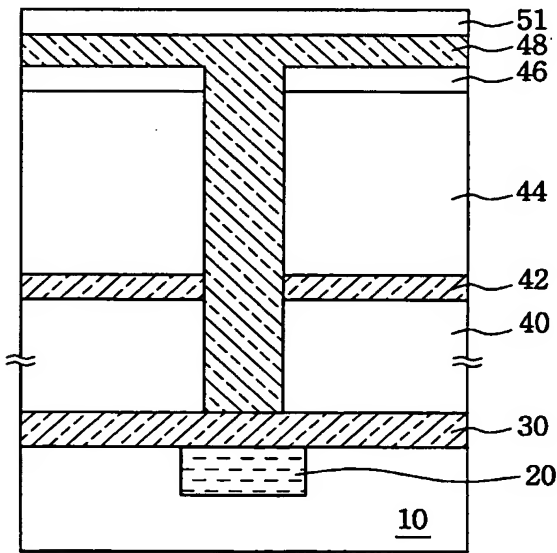
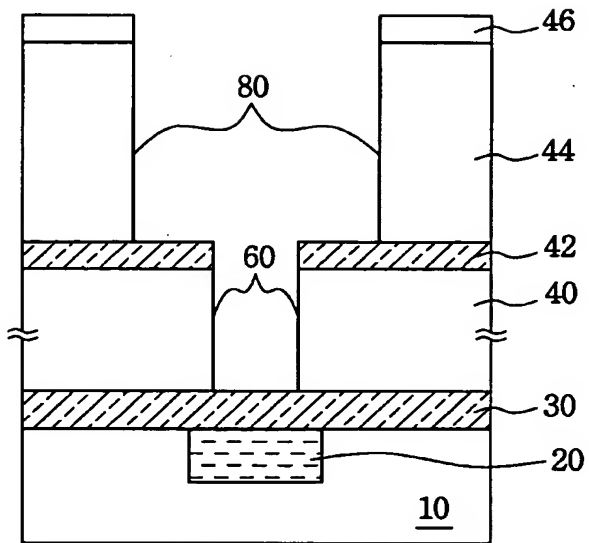
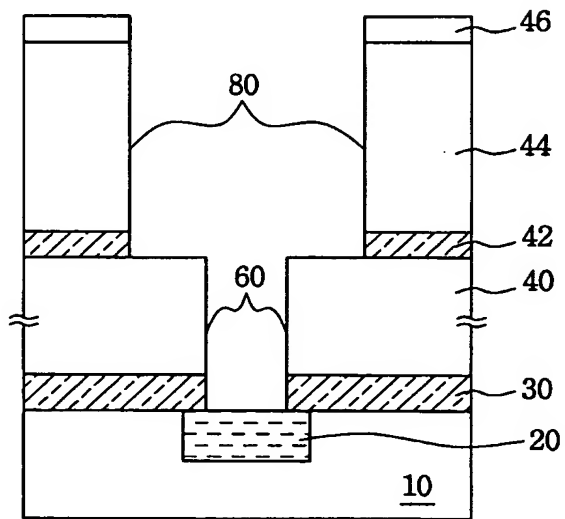


FIG. 1 is a cross-sectional view of a semiconductor device. The device is formed on a substrate 10. A base layer 20 is disposed on the substrate 10. A patterned layer 30 is disposed on the base layer 20. The patterned layer 30 has a central opening 60. The opening 60 is filled with a material 75. The device is surrounded by a protective layer 40, with a top layer 42 and a bottom layer 44. The top layer 42 is patterned into two main regions, 46 and 48, separated by a gap 80.

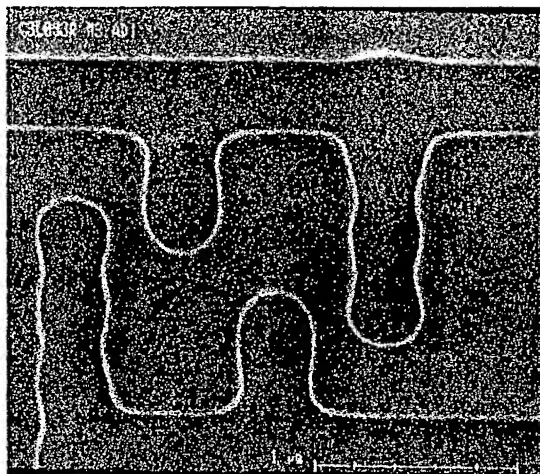
【도 8b】



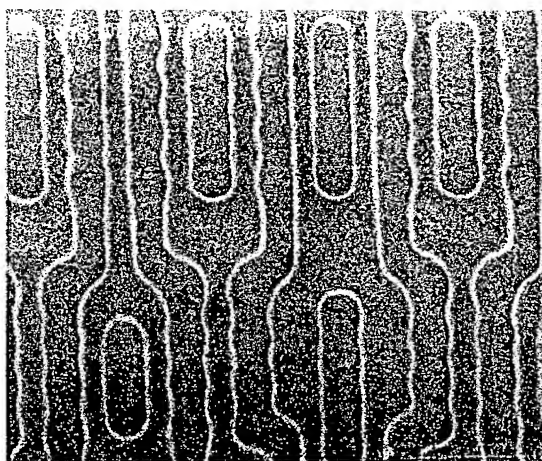
【도 8c】



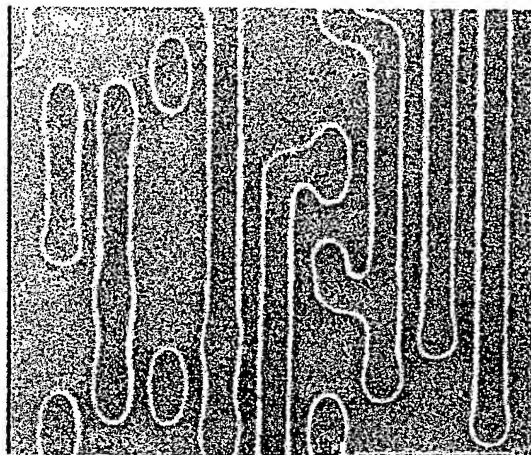
【도 9a】



【도 9b】



【도 9c】



【도 10】

